

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003187520 A**

(43) Date of publication of application: **04.07.2003**

(51) Int. Cl. **G11B 19/28**

G06F 1/04, G06F 9/30, G11B 7/09

(21) Application number: **2001384208**

(22) Date of filing: **18.12.2001**

(71) Applicant: **SHARP CORP**

(72) Inventor: **INOUE SHIGETOSHI**

(54) **PROCESSOR**

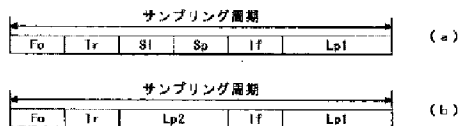
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a processor that reduces power consumption of a unnecessary operation interval other than an actually required interval in which processing operations are conducted within a prescribed interval.

SOLUTION: In disk reproducing operations, a focus servo process Fo, a tracking servo process Tr, a thread servo process Sl, a spindle servo process Sp and an external interface process If are continuously performed. After the above processes has been performed, supply of clocks to a processing block which

conducts arithmetic processes is stopped and it is put into a low power consumption operating condition Lp1 to stop the operation of the block. After the above operation has been performed once, the processes Fo and Tr are conducted and they are put into a low power consumption operating condition Lp2. Then, the process If is performed and the operation which puts the unit into the condition Lp1 is performed nine times.

COPYRIGHT: (C)2003,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-187520

(P2003-187520A)

(43) 公開日 平成15年7月4日(2003.7.4)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
G 1 1 B 19/28		G 1 1 B 19/28	B 5 B 0 3 3
G 0 6 F 1/04	3 0 1	G 0 6 F 1/04	3 0 1 C 5 B 0 7 9
	9/30		3 3 0 A 5 D 1 0 9
G 1 1 B 7/09	3 3 0	G 1 1 B 7/09	A 5 D 1 1 8

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21) 出願番号 特願2001-384208(P2001-384208)

(22) 出願日 平成13年12月18日(2001. 12. 18)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 井上 成利

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100085501

弁理士 佐野 静夫

F ターム(参考) 5B033 BC00 BC04

5B079 BA12 BC01

5D109 KA20

5D118 AA08 AA29 CA00 CA11 CA13

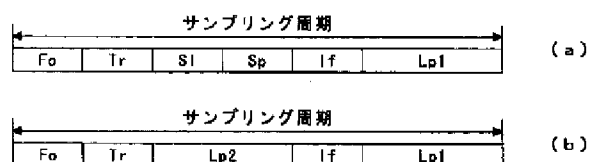
CB03 CD01

(54) 【発明の名称】 演算処理装置

(57) 【要約】

【課題】本発明は、所定期間中における処理動作として実際に必要な期間以外の動作不要の期間に対して、電力低減効果をもたらすことのできる演算処理装置を提供することを目的とする。

【解決手段】ディスク再生動作において、フォーカスサーボ処理F o、トラッキングサーボ処理T r、スレッドサーボ処理S l、スピンドルサーボ処理S p、外部インターフェース処理I fを連続して行った後、演算処理を行う処理ブロックへのクロックの供給を停止するなどして、処理ブロックの動作を停止する低消費電力動作状態L p 1とする。この動作を1回行った後、フォーカスサーボ処理F o、トラッキングサーボ処理T rを行った後に低消費電力動作状態L p 2とし、更に、外部インターフェース処理I fをした後に低消費電力動作状態L p 1とする動作を9回行う。



【特許請求の範囲】

【請求項1】 所定期間毎に、各種処理動作を構成する複数の工程それぞれに対する演算を、与えられたクロックに基づいて、時系列的に所定の順序で行う演算部を有する演算処理装置において、前記処理動作を行う際に、該処理動作を行うのに必要な工程の演算処理にかかる時間が前記所定期間より短い場合は、該処理動作を構成する工程に、前記所定期間から前記必要な工程の演算処理にかかる時間を引いた時間分の間に前記演算部の動作を停止させる工程が含まれることを特徴とする演算処理装置。

【請求項2】 前記演算部の動作を停止させる工程において、前記演算部への前記クロックの供給を停止させることを特徴とする請求項1に記載の演算処理装置。

【請求項3】 前記各工程での演算を行うための前記クロック毎に与えられる複数の命令コードを識別するとともに、識別した命令コードに基づいて前記演算部の演算処理動作を制御するインストラクションデコーダを有し、前記演算部の動作を停止させる工程において、前記インストラクションデコーダの動作を停止させることを特徴とする請求項1に記載の演算処理装置。

【請求項4】 所定期間毎に複数の工程によって実施される各種処理動作を行う演算処理装置において、前記各工程での演算を行うためのクロック毎に与えられる複数の命令コードを時系列的に格納するメモリ部と、該メモリ部から読み出された前記命令コードの識別を行うインストラクションデコーダと、前記メモリ部より読み出す前記命令コードのアドレスを指定するアドレスデコーダと、前記インストラクションデコーダで識別された前記命令コードに従って、前記複数の工程それぞれに対する演算を、前記クロックに基づいて、時系列的に所定の順序で行う演算部と、を有し、前記処理動作を行う際に、該処理動作を行うのに必要な工程の演算処理にかかる時間が前記所定期間より短い場合は、該処理動作を構成する工程に、前記所定期間から前記必要な工程の演算処理にかかる時間を引いた時間分の間に前記演算部の動作を停止させる工程が含まれ、前記演算部の動作を停止させる工程において、前記アドレスデコーダ、前記インストラクションデコーダ、及び前記演算部への前記クロックの供給を停止させることを特徴とする演算処理装置。

【請求項5】 所定期間毎に複数の工程によって実施される各種処理動作を行う演算処理装置において、前記各工程での演算を行うためのクロック毎に与えられる複数の命令コードを時系列的に格納するメモリ部と、該メモリ部から読み出された前記命令コードの識別を行うインストラクションデコーダと、

前記メモリ部より読み出す前記命令コードのアドレスを指定するアドレスデコーダと、前記インストラクションデコーダで識別された前記命令コードに従って、前記複数の工程それぞれに対する演算を、前記クロックに基づいて、時系列的に所定の順序で行う演算部と、

を有し、前記処理動作を行う際に、該処理動作を行うのに必要な工程の演算処理にかかる時間が前記所定期間より短い場合は、該処理動作を構成する工程に、前記所定期間から前記必要な工程の演算処理にかかる時間を引いた時間分の間に前記演算部の動作を停止させる工程が含まれ、前記演算部の動作を停止させる工程において、前記インストラクションデコーダにおける前記命令コードの識別動作を停止させることを特徴とする演算処理装置。

【請求項6】 前記アドレスデコーダで所定のアドレスの命令コードの読み出しを確認したとき、前記演算部の動作を停止させる工程へ移行することが確認されることを特徴とする請求項4又は請求項5に記載の演算処理装置。

【請求項7】 前記インストラクションデコーダで所定の命令コードを検知したとき、前記演算部の動作を停止させる工程へ移行することが確認されることを特徴とする請求項4又は請求項5に記載の演算処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の工程よりなる複数の処理動作を行い、各処理動作を実施するために、それぞれの処理動作を構成する複数の工程に対する演算を時系列的に所定の順序で行う演算処理装置に関し、特に、ディスク装置などにおいて、各種サーボ制御を行う際の処理動作を実施するために演算を行う演算処理装置に関する。

【0002】

【従来の技術】光ディスクを記録媒体とし、この光ディスクに記録・再生を行うディスク装置において、情報の読み取り又は書き込みを行うための光ピックアップを、光ディスク上の所望するトラック位置に追従させるためにサーボ制御が行われる。一般的に、このサーボ制御には、DSP (Digital Signal Processor) を使用してソフトウェア処理を行う、所謂ソフトウェアサーボが利用されている。このようなDSPを用いてサーボ制御を行うディスク装置の構成を図1に示す。図1のディスク装置において、デジタルサーボ処理回路8がDSPで構成される。尚、この図1のディスク装置については、

【発明の実施の形態】で詳細に説明する。

【0003】図1のディスク装置において、デジタルサーボ制御処理回路8では、予め決まった時間間隔となるサンプリング周期毎に、スレッドモータ4やRF処理回路5や信号処理回路7からのデータを取り込んで所定の

処理を行い、各制御系を動作させるための信号を生成してPWM信号生成回路9へ出力する。そして、PWM信号生成回路9でPWM信号が生成されると、このPWM信号がPWMドライバ13に送出されて、光ピックアップ2及びスレッドモータ4を駆動するための駆動信号が生成される。この駆動信号に基づいて、光ピックアップ2及びスレッドモータ4が動作することによって、光ディスク1のデータの読み取り又は書き込みを継続して行うことができる。

【0004】このとき、上述のサンプリング周期は一定であるため、常に一定間隔で、サーボ制御に必要な各種制御処理が開始され、次の所定時刻になるまでに、その処理を終了する。よって、デジタルサーボ制御回路8で処理する信号の伝達特性を一定にすることができ、安定したサーボ制御を行うことができる。しかしながら、サーボ制御にかかる処理時間が所定時間を超えるような場合、そのサンプリング周期が一定でなくなるので、デジタルサーボ制御回路8で処理する信号の伝達特性が変化してしまい、フィルタなどの周波数特性が安定しない。よって、サーボ制御を正常に行えなくなる。

【0005】ところで、サーボ制御に必要な処理は、動作目的によって内容が異なる。即ち、行うべき処理動作に対して、それを実施するための工程、及び、この工程を行うための演算の組み合わせが異なる。今、図9に、ディスク停止状態、ディスク再生状態、トラックサーチ状態の各状態における、各工程の様子を示すタイミングチャートを示す。

【0006】図9(a)に示すディスク停止状態では、サーボ制御を行う必要がないので、デジタルサーボ制御処理回路8は、スレッドモータ4やRF処理回路5や信号処理回路7からのデータの入力を監視する外部インターフェース処理Ifを繰り返す。又、図9(b)に示すディスク再生状態では、デジタルサーボ制御処理回路8は、フォーカスサーボ処理Fo、トラッキングサーボ処理Tr、スレッドサーボ処理Sl、スピンドルサーボ処理Spが順に行われた後、外部インターフェース処理Ifを行う。

【0007】又、図9(c)に示すトラックサーチ状態では、デジタルサーボ制御処理回路8は、フォーカスサーボ処理Foを行った後、光ピックアップ2を現在のトラックから離れた目的トラックへ強制移動させるためのスレッド制御及び目的トラック付近での引き込み動作を行うための微小移動制御などのサーチ制御処理Srを行い、外部インターフェース処理Ifを行う。このトラックサーチ状態におけるサーチ制御処理Srにおいて、高い精度と分解能が要求されるため、このトラックサーチ状態における工程にかかる時間が最も長くなる。よって、サンプリング周期は、トラックサーチ状態における工程にかかる時間を基準として設定される。

【0008】

【発明が解決しようとする課題】このように、各動作状態によって処理する内容が異なり、サンプリング周期の時間内における処理動作に占める時間の割合が異なることがわかる。又、上述したように、常にサンプリング周期を一定に保って安定したサーボ制御を行えるようにするためには、サンプリング周期を、処理時間を最も長く必要とする動作状態を基準に設定する必要がある。即ち、上述の場合では、図9(c)に示すトラックサーチ状態にかかる処理時間に基づいて、サンプリング周期が設定されることになる。

【0009】よって、トラックサーチ状態に比べて処理時間の短い図9(a)や図9(b)に示すディスク停止状態やディスク再生状態では、サーボ制御に必要な各処理が行われた後は、外部からのデータの入力を監視する外部インターフェース処理Ifを繰り返す必要がある。このように、サーボ制御に必要な処理が終了した後サンプリング周期が経過するまで外部からのデータの入力監視を行いつづけることは、外部信号の応答を短時間で行う必要がある場合と異なり、冗長処理であり、動作不要な期間と扱うことができる。

【0010】このような問題を鑑みて、本発明は、所定期間中における処理動作として実際に必要な期間以外の動作不要の期間に対して、電力低減効果をもたらすことのできる演算処理装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の演算処理装置は、所定期間毎に、各種処理動作を構成する複数の工程それぞれに対する演算を、与えられたクロックに基づいて、時系列的に所定の順序で行う演算部を有する演算処理装置において、前記処理動作を行う際に、該処理動作を行うのに必要な工程の演算処理にかかる時間が前記所定期間より短い場合は、該処理動作を構成する工程に、前記所定期間から前記必要な工程の演算処理にかかる時間を引いた時間分の間に前記演算部の動作を停止させる工程が含まれることを特徴とする。

【0012】即ち、この演算処理装置がディスク装置に備えられるとき、例えば、ディスクの再生動作を行う際、所定期間となるサンプリング周期毎に、目的のトラックに光ピックアップからのレーザ光を照射するためのサーボ制御及びサーボ制御を行うように外部信号の監視を行うための外部インターフェース処理が行われる。そして、サンプリング周期は、サーボ制御と外部インターフェース処理とを行う時間に対して十分に長い時間となる。よって、各サンプリング周期において、サーボ制御と外部インターフェース処理が行われる期間以外の期間では、演算部の動作を停止して消費電力の低減を図る。

【0013】又、サーボ制御では、フォーカスサーボ処理、トラッキングサーボ処理、スレッドサーボ処理、スピンドルサーボ処理の4工程が順に行われる場合と、フォーカスサーボ処理、トラッキングサーボ処理の2工程

が順に行われる場合とがある。このようなとき、フォーカサーボ処理、トラッキングサーボ処理の2工程が順に行われる場合、スレッドサーボ処理、スピンドルサーボ処理が行われる期間に対応する期間において、演算部の動作を停止し、その後、外部インターフェース処理が行われるようにしても構わない。又、スレッドサーボ処理、スピンドルサーボ処理、外部インターフェース処理の3工程を連続して行った後、サンプリング周期が終了するまで、演算部の動作を停止するようにしても構わない。

【0014】又、前記演算部の動作を停止させる工程において、前記演算部への前記クロックの供給を停止させることで演算部の動作を停止させても構わない。又、前記各工程での演算を行うための前記クロック毎に与えられる複数の命令コードを識別するとともに、識別した命令コードに基づいて前記演算部の演算処理動作を制御するインストラクションデコーダを設け、前記演算部の動作を停止させる工程において、前記インストラクションデコーダの動作を停止させることで演算部の動作を停止させても構わない。

【0015】又、本発明の演算処理装置は、所定期間毎に複数の工程によって実施される各種処理動作を行う演算処理装置において、前記各工程での演算を行うためのクロック毎に与えられる複数の命令コードを時系列的に格納するメモリ部と、該メモリ部から読み出された前記命令コードの識別を行うインストラクションデコーダと、前記メモリ部より読み出す前記命令コードのアドレスを指定するアドレスデコーダと、前記インストラクションデコーダで識別された前記命令コードに従って、前記複数の工程それぞれに対する演算を、前記クロックに基づいて、時系列的に所定の順序で行う演算部と、を有し、前記処理動作を行う際に、該処理動作を行うのに必要な工程の演算処理にかかる時間が前記所定期間より短い場合は、該処理動作を構成する工程に、前記所定期間から前記必要な工程の演算処理にかかる時間を引いた時間分の間に前記演算部の動作を停止させる工程が含まれ、前記演算部の動作を停止させる工程において、前記アドレスデコーダ、前記インストラクションデコーダ、及び前記演算部への前記クロックの供給を停止させることを特徴とする。

【0016】又、本発明の演算処理装置は、所定期間毎に複数の工程によって実施される各種処理動作を行う演算処理装置において、前記各工程での演算を行うためのクロック毎に与えられる複数の命令コードを時系列的に格納するメモリ部と、該メモリ部から読み出された前記命令コードの識別を行うインストラクションデコーダと、前記メモリ部より読み出す前記命令コードのアドレスを指定するアドレスデコーダと、前記インストラクションデコーダで識別された前記命令コードに従って、前記複数の工程それぞれに対する演算を、前記クロックに

基づいて、時系列的に所定の順序で行う演算部と、を有し、前記処理動作を行う際に、該処理動作を行うのに必要な工程の演算処理にかかる時間が前記所定期間より短い場合は、該処理動作を構成する工程に、前記所定期間から前記必要な工程の演算処理にかかる時間を引いた時間分の間に前記演算部の動作を停止させる工程が含まれ、前記演算部の動作を停止させる工程において、前記インストラクションデコーダにおける前記命令コードの識別動作を停止させることを特徴とする。

【0017】上述のような演算処理装置において、前記アドレスデコーダで所定のアドレスの命令コードの読み出しを確認したとき、前記演算部の動作を停止させる工程へ移行することが確認されるようにしても構わないし、前記インストラクションデコーダで所定の命令コードを検知したとき、前記演算部の動作を停止させる工程へ移行することが確認されるようにしても構わない。

【0018】

【発明の実施の形態】本発明の実施形態について、図面を参照して説明する。尚、デジタルサーボ処理回路が、【請求の範囲】における演算処理回路に相当する。

【0019】＜ディスク装置の構成＞まず、図1に示すディスク装置の内部構造とディスクとの関係を示すブロック図より、ディスク装置の構成について、説明する。図1のディスク装置は、ディスク1のトラッキングを行う光ピックアップ2を有し、この光ピックアップ2は、ディスク1の径方向に移動する。この光ピックアップ2によって、ディスク1の記録又は再生が行われる。尚、ディスク1を記録する際、光ピックアップ2と同様にディスク1の径方向に移動する不図示の磁気ヘッドが、光ピックアップ2とともに動作する。

【0020】又、光ピックアップ2は、スレッドモータ4の回転駆動を直線駆動に変換する不図示の中間伝達手段によって、ディスク1の径方向への移動を行う。そして、スレッドモータ4は、PWM (Pulse Width Modulation) ドライバ13からのスレッドモータ駆動信号によって駆動する。又、このスレッドモータ4内には、N極とS極とが交互に磁化されたリング上のマグネット（不図示）と、ホール素子（不図示）とが設けられている。このホール素子の出力が、DSP (Digital Signal Processor) で構成されたデジタルサーボ処理回路8に送出される。

【0021】そして、デジタルサーボ処理回路8では、ホール素子の検出結果と後述するRF処理回路5からの信号より処理された信号に基づいて、各制御系を動作させるための信号が生成される。この信号に基づいてPWM信号生成回路9で生成されたPWM信号がPWMドライバ13に送出されて、スレッドモータ駆動信号が生成される。

【0022】又、光ピックアップ2で光検出されて電流信号として出力される信号がRF処理回路5によって、

電圧信号に変換される。このRF処理回路5に出力される信号のうち、データを有するRF信号に対応する光検出信号は、位相が正反対の2つの信号からなる。よって、この光検出信号は、RF処理回路5に送出されると、この2つの信号の差動増幅した後、AGC (Automatic Gain Control) 処理が施されて信号処理回路7に送出される。

【0023】そして、信号処理回路7において、エラー訂正、デインターリーブ、NRZI (Non-Return-to-Zero Invert) 変換、ビタビ復号などによって復号化され、インターフェース12に送出されて、外部に出力される。このようにして、ディスク1内のデータの再生が行われる。尚、インターフェース12を介して外部よりデータが入力されたとき、このデータが、信号処理回路7において、上記した変換と逆の変換が行われて符号化されたデータ信号に応じて、上述の磁気ヘッドを駆動させることによりディスク1への記録が行われる。

【0024】又、デジタルサーボ処理回路8では、RF信号から得た同期信号が、基本周波数信号となるマスタークロックに基づいてPLL (Phase Locked Loop) 処理される。このようにPLL処理された信号が、PWM信号生成回路9でPWM処理された後、スピンドルモータドライバ14を介してスピンドルモータ3が回転制御される。このスピンドルモータ3は、ディスク1をその周方向に動作させるためのモータで、ディスク1を記録・再生するためにトラッキング動作を行うときに、上記のようなPLL制御が施される。尚、ディスクの回転起動時やトラックのロングサーチを行うときは、スピンドルモータ3はFG (Frequency Generator) サーボによって制御される。

【0025】このFGサーボについて、以下に説明する。スピンドルモータドライバ14より駆動信号がスピンドルモータ3に与えられて、スピンドルモータ3が回転駆動される。このとき、スピンドルモータ3からそのモータ自身の回転に関する信号がスピンドルモータドライバ14に帰還され、そして、この帰還された信号を波形成形して生成されたFG信号を信号処理回路7に送出する。この信号処理回路7では、このFG信号によって、現在光ピックアップ2がトラッキングしている位置におけるスピンドルモータ3のあるべき回転速度と比較され、エラー信号を発生する。このエラー信号に基づいて、デジタルサーボ処理回路8において、スピンドルモータ3を駆動するための信号が生成され、PWM信号生成回路9でPWM処理された後、スピンドルモータドライバ14に与えられる。このようなループによって、FGサーボがなされる。

【0026】尚、スピンドルモータドライバ14で生成されたFG信号は、制御用マイコン10にも与えられる。このように与えられたFG信号よりスピンドルモータ3の回転速度を検出し、光ピックアップ2の位置する

ゾーンのあるべきの回転速度に対応する強度のレーザービームが、ディスク1へ照射される。

【0027】一方、光ピックアップ2で光検出されたトラッキングエラー信号やフォーカスエラー信号といったエラー信号は、RF処理回路5で処理された後、A/Dコンバータ6でデジタル信号に変換される。このデジタル信号は、デジタルサーボ処理回路8に送出される。そして、デジタルサーボ処理回路8で処理された信号がPWM信号生成回路9でPWM処理された後、PWMドライバ13を介して、スレッドモータ4や光ピックアップ2内のアクチュエータ (不図示) を駆動して、フォーカス制御及びトラッキング制御がなされる。

【0028】又、トラッキング制御を行うためのトラッキングサーボは、光ピックアップ2→RF処理回路5→ADコンバータ6→デジタルサーボ処理回路8→PWM信号生成回路9→PWMドライバ13→光ピックアップ2又はスレッドモータ4というメインループと、不図示のホール素子→デジタルサーボ処理回路8→PWM信号生成回路9→PWMドライバ13→光ピックアップ2又はスレッドモータ4というサブループとから構成される。

【0029】このような構成のディスク装置において、信号処理回路7、デジタルサーボ処理回路8、PWM信号生成回路9、及び制御用マイコン10によって、制御回路11が構成される。

【0030】＜デジタルサーボ処理回路＞図1のディスク装置におけるデジタルサーボ処理回路8について、図面を参照して説明する。図2は、デジタルサーボ処理回路8の内部構成を示すブロック図である。

【0031】図2に示すように、デジタルサーボ処理回路8は、各種命令コードを記録しているIRAM (Instruction Random Access Memory) 31と、IRAM31のアドレスを指定するためのアドレスデコーダ32と、アドレスデコーダ32で指定されたアドレスにおける命令コードを識別するインストラクションデコーダ33と、インストラクションデコーダ33で確認された命令コードに従って各種演算処理を行う処理ブロック34と、処理ブロック34で処理されるデータが格納されたWRAM (Working Random Access Memory) 35と、デジタルサーボ処理回路8内の各ブロックへのクロック供給管理及び外部とのデータのやり取りを行う動作制御回路36とから構成される。

【0032】このような構成のデジタルサーボ処理回路8は、制御用マイコン10によって動作制御される。まず、アドレスデコーダ32によって指定されたアドレスの命令コードがインストラクションデコーダ33に与えられると、インストラクションデコーダ33で命令コードが識別される。このインストラクションデコーダ33で識別された命令コードに従って、処理ブロック34がWRAM35へのロード/ストア処理、四則演算/論理

演算処理などの各処理が行われる。

【0033】又、インストラクションデコーダ33において、IRAM31におけるアドレスジャンプを行う条件分岐処理が確認されたとき、次に読み出す命令デコーダのアドレスを生成し、アドレスデコーダ32に与える。動作制御回路36は、スレッドモータ4内の不図示のホール素子からの出力や、ADコンバータ6からの出力や、信号処理回路7からの出力が与えられ、これらの出力より得られるデータをインストラクションデコーダ33によって識別された命令デコーダに基づいたタイミングで、処理ブロック34に送出する。又、処理ブロック34で演算処理が施されて得た信号が動作制御回路36に与えられると、PWM信号生成回路9に出力される。

【0034】更に、このように動作するデジタルサーボ処理回路8を動作させるソフトウェアによって、電源ONとした直後に、まず、デジタルサーボ処理回路8の各設定に対する初期設定を行うための処理がなされる。即ち、サンプリング周波数や、割込信号が発生したときに各動作状態において必ず読みに行く（ジャンプする）IRAM31におけるアドレスの設定などが行われる。このサンプリング周波数及びジャンプするアドレスは、動作制御回路36に対して設定される。

【0035】このように初期設定されることによって、動作制御回路36がクロック毎にカウント動作を行い、そのカウント数がサンプリング周期と一致したとき、アドレスデコーダ32に対して割込信号を発生するとともに、同時にカウント数を初期値に戻す（クリアする）。この割込信号にジャンプするアドレスに関する情報が含まれるため、アドレスデコーダ32は割込信号を受信すると、設定されたジャンプするアドレスの命令コードがインストラクションデコーダ33に送出されるように、IRAM31を制御する。このようにすることで、一定期間となるサンプリング周期毎に、割込信号を与え、特定の処理を開始することが可能となる。

【0036】<ディスク再生動作>

1. 基本動作

ディスク再生動作の基本動作について説明する。上述したように、ディスク再生動作を行うときは、光ディスク1のトラックに沿って光ピックアップ2よりレーザービームを照射し、このトラックを反射するレーザービームの反射光の検出を行う。そして、検出された反射光に応じたデータが、RF処理回路5及び信号処理回路7で処理されてインターフェース12より出力され、再生される。

【0037】このようなディスク再生動作を行うように制御用マイコン10より指示が与えられるとき、サーボ制御としてフォーカスサーボ処理、トラッキングサーボ処理、スレッドサーボ処理、スピンドルサーボ処理によるサーボ制御と、外部インターフェース処理とが行われ

るように、デジタルサーボ制御回路8が指示される。

又、デジタルサーボ制御回路8が初期設定されるとき、サンプリング周波数が100kHzに設定されているものとする。

【0038】このように動作するとき、フォーカスサーボ処理及びトラッキングサーボ処理は、その制御する周波数帯域が広いので、100kHz毎にフィルタ処理などの各種演算処理が行われる。しかしながら、スレッドサーボ処理及びスピンドルサーボ処理については、その制御する周波数帯域が狭いので、フォーカスサーボ処理及びトラッキングサーボ処理と比べて、1/10の処理で十分な制御を行うことができる。よって、スレッドサーボ処理及びスピンドルサーボ処理は、10回に1回の処理で良く、10回のうちの9回は処理不要な工程として選択されていると見なすことができる。

【0039】よって、10μ秒毎に、割込信号が動作制御回路36よりアドレスデコーダ32に与えられ、サーボ制御として、フォーカスサーボ処理及びトラッキングサーボ処理が必ず行われる。又、このように割込信号がアドレスデコーダ32に与えられるたびに、与えられた割込信号の回数が動作制御回路36でカウントされる。そして、そのカウント数が10回に1回毎に、サーボ制御として、フォーカスサーボ処理及びトラッキングサーボ処理を行った後、スレッドサーボ処理及びスピンドルサーボ処理を行う。

【0040】即ち、割込信号が10回与えられる間の、1回は、図3(a)のように、サーボ制御として、フォーカスサーボ処理Fo、トラッキングサーボ処理Tr、スレッドサーボ処理Sl、及びスピンドルサーボ処理Spが順に行われる。そして、残りの9回は、図3(b)のように、サーボ制御として、フォーカスサーボ処理Fo及びトラッキングサーボ処理Trが順に行われ、スレッドサーボ処理Sl及びスピンドルサーボ処理Spについては行われない。

【0041】上述のように各処理が連続的に成されてサーボ制御が行われると、図3(a)及び図3(b)のように、外部インターフェース処理Ifが一度だけ行われ、スレッドモータ4内の不図示のホール素子、ADコンバータ6、及び信号処理回路7からのデータが動作制御回路36によって読み出される。そして、サンプリング周期となる10μ秒の間に、サーボ制御及び一度の外部インターフェース処理が行われるとき、このサンプリング周期となる10μ秒における余分となる時間において、低消費電力動作を行う。この低消費電力動作例として、動作制御回路36から各ブロックへのクロックの供給を停止させることと、インストラクションデコーダ33の動作を停止させることとが挙げられる。

【0042】2. 再生動作の第1例

ディスク装置が再生動作を行うときのデジタルサーボ処理回路8の動作例について、図4、図5及び図6を参照

して説明する。図4及び図5は、本動作例を示すためのフローチャートである。又、図6は、各工程での処理がなされる順番を示したタイミングチャートである。

【0043】まず、制御用マイコン10より再生動作を行うように指示が成されたか否かが、動作制御回路36で確認される（STEP1）。動作制御回路36に再生動作の指示が与えられると（Yes）、動作制御回路36では再生動作を行うためのソフトウェアを選択し、再生動作に対する準備を行う（STEP2）。そして、再生動作に対する準備が行われ、再生動作に対する設定が完了したかが確認される（STEP3）。STEP3において再生動作に対する設定の完了が確認されなかったとき（No）、再度、STEP2で再生動作に対する準備が行われる。

【0044】STEP3で再生動作の設定が完了したことを確認すると（Yes）、サンプリング周期毎に与えられる割込信号を計数するサンプリングカウンタが、そのカウンタ値を0として初期化される（STEP4）。このサンプリングカウンタは、0～9までを計数するループカウンタとして、動作制御回路36内に設けられている。そして、動作制御回路36において、割込信号がアドレスデコーダ32に与えたときに読み出しを開始する割り込み開始アドレスが設定される（STEP5）。このときの割り込み開始アドレスは、フォーカスサーボ処理を開始するためのフォーカスサーボ処理開始アドレスfo1である。

【0045】次に、動作制御回路36において、割込信号を発生させるための時間が経過したか否かが確認される（STEP6）。尚、このとき、STEP5から移行した場合は、割込信号を発生する時刻であるものとされる。この割込信号を発生させるための時間を確認するために、割込信号を発生させてから、サンプリングカウンタとは異なるカウンタで各処理ブロックへ供給するためのクロックを計数する周期計数用カウンタが設けられる。そして、この周期計数用カウンタで計数されたカウンタ値が、サンプリング周期に相当する値と比較されることで、割込信号を発生させるための時間が確認される。

【0046】よって、STEP6では、割込信号を発生させるための時間となるまで、その時間になったか否かが確認される。そして、STEP6で割込信号を発生させるための時間となると（Yes）、STEP5で設定された割り込み開始アドレスであるフォーカスサーボ処理開始アドレスfo1の情報を含んだ割込信号が、アドレスデコーダ32に与えられる（STEP7）。その後、動作制御回路36からブロック31～35へのクロックの供給を開始する（STEP8）。

【0047】そして、アドレスデコーダ32によってIRAM31が制御されて、フォーカスサーボ処理開始アドレスfo1から順に、動作制御回路36から供給される

クロックに応じて、命令コードが1アドレス毎に順にインストラクションデコーダ33に与えられて識別されると、この命令コードに従って処理ブロック34が動作することにより、図6（a）又は図6（b）のように、フォーカスサーボ処理Foが行われる（STEP9）。

【0048】そして、STEP9において、IRAM31のフォーカスサーボ処理終了アドレスfo2の命令コードがインストラクションデコーダ33で識別され、フォーカスサーボ処理Foが終了したことが確認される。その後、IRAM31のフォーカスサーボ処理終了アドレスfo2の次のアドレスとなるトラッキングサーボ処理開始アドレスtr1の命令コードがインストラクションデコーダ33で識別されると、クロックに応じて、命令コードが1アドレス毎に順にインストラクションデコーダ33に与えられて識別され、この命令コードに従って処理ブロック34が動作し、図6（a）又は図6（b）のようなトラッキングサーボ処理Trが行われる（STEP10）。

【0049】そして、STEP10において、IRAM31のトラッキングサーボ処理終了アドレスtr2の命令コードがインストラクションデコーダ33で識別され、動作制御回路36において、トラッキングサーボ処理Trが終了したことが確認されると、サンプリングカウンタのカウンタ値が0であるか否かが確認される（STEP11）。サンプリングカウンタのカウンタ値が0でないとき（No）、図6（b）のように、外部インターフェース処理Ifを行うために、動作制御回路36において、次に読み出す外部インターフェース処理開始アドレスif1を読み出しアドレスとして設定する（STEP12）。

【0050】その後、動作制御回路36において、図6（a）のスレッドサーボ処理S1とスピンドルサーボ処理Spとが行われる時間に相当するクロック数が設定される（STEP13）。尚、このクロック数は、サンプリング周期を計数するときと同様、各処理ブロックへ供給するためのクロックによって計数されるクロック数である。よって、スレッドサーボ処理S1とスピンドルサーボ処理Spとが行われる時間に相当するクロック数を計数するために、上述の周期計数用カウンタを用いても構わないし、別のカウンタを用いても構わない。

【0051】このように、動作制御回路36において読み出しアドレスとクロック数が設定されると、図6（b）のような低消費電力動作状態Lp2とするために、動作制御回路36からブロック31～35へのクロックの供給を停止する（STEP14）。そして、動作制御回路36から供給されるべきクロックが計数される（STEP15）。

【0052】そして、計数されたクロック数が、STEP12で設定されたスレッドサーボ処理S1とスピンドルサーボ処理Spとが行われる時間に相当するクロック

数と等しい値となり、クロックの計数動作を終了するか否かが確認される（STEP 16）。よって、STEP 15におけるクロックの計数とSTEP 16のクロック数の確認とは、計数されたクロック数がSTEP 13で設定されたクロック数と等しくなるまで行われる。

【0053】そして、計数されたクロック数より、スレッドサーボ処理S1とスピンドルサーボ処理Spとが行われる時間に相当する時間の経過が確認されると（Yes）、STEP 12で読み出しアドレスとして設定された外部インターフェース処理開始アドレスif1がアドレスデコーダ32に与えられる（STEP 17）。その後、外部インターフェース処理Ifを行うために、動作制御回路36からブロック31～35へのクロックの供給を再開する（STEP 18）。

【0054】又、STEP 11において、サンプリングカウンタのカウンタ値が0であるとき（Yes）、IRAM31のトラッキングサーボ処理終了アドレスtr2の次のアドレスとなるスレッドサーボ処理開始アドレスsl1の命令コードがインストラクションデコーダ33で識別された後、クロックに応じて、命令コードが1アドレス毎に順にインストラクションデコーダ33に与えられて識別され、この命令コードに従って処理ブロック34が動作し、図6（a）のようなスレッドサーボ処理S1が行われる（STEP 19）。

【0055】そして、STEP 19において、IRAM31のスレッドサーボ処理終了アドレスsl2の命令コードがインストラクションデコーダ33で識別され、スレッドサーボ処理S1が終了したことが確認される。その後、IRAM31のスレッドサーボ処理終了アドレスsl2の次のアドレスとなるスピンドルサーボ処理開始アドレスsp1の命令コードがインストラクションデコーダ33で識別されると、クロックに応じて、命令コードが1アドレス毎に順にインストラクションデコーダ33に与えられて識別され、この命令コードに従って処理ブロック34が動作し、図6（a）のようなスピンドルサーボ処理Spが行われる（STEP 20）。

【0056】STEP 18で動作制御回路36からのクロックの供給が開始されたとき、又は、STEP 20でIRAM31のスピンドルサーボ処理終了アドレスsp2の命令コードがインストラクションデコーダ33で識別され、スピンドルサーボ処理Spが終了したことが確認されたとき、図6（a）又は図6（b）のように、外部インターフェース処理Ifが行われる（STEP 21）。

【0057】即ち、STEP 18において、動作制御回路36からのクロックの供給が開始されると、STEP 12で読み出しアドレスとして設定された外部インターフェース処理開始アドレスif1の命令コードがインストラクションデコーダ33で識別され、クロックに応じて、命令コードが1アドレス毎に順にインストラクショ

ンデコーダ33に与えられて識別され、この命令コードに従って処理ブロック34が動作し、図6（b）のような外部インターフェース処理Ifが行われる。

【0058】又、STEP 20において、IRAM31のスピンドルサーボ処理終了アドレスsp2の命令コードがインストラクションデコーダ33で識別され、スピンドルサーボ処理Spが終了したことが確認される。このとき、IRAM31のスピンドルサーボ処理終了アドレスsp2の次のアドレスとなる外部インターフェース処理開始アドレスif1の命令コードがインストラクションデコーダ33で識別されると、クロックに応じて、命令コードが1アドレス毎に順にインストラクションデコーダ33に与えられて識別され、この命令コードに従って処理ブロック34が動作し、図6（a）のような外部インターフェース処理Ifが行われる。

【0059】そして、STEP 21において、IRAM31の外部インターフェース処理終了アドレスif2の命令コードがインストラクションデコーダ33で識別され、外部インターフェース処理Ifが終了したことが確認されると、図6（a）又は図6（b）のような低消費電力動作状態Lp1とするために、動作制御回路36からブロック31～35へのクロックの供給を停止する（STEP 22）。その後、サンプリングカウンタが計数動作を行い、カウンタ値が1つ増える（STEP 23）。尚、このとき、サンプリングカウンタのカウンタ値が9であるときは、そのカウンタ値が0となる。

【0060】このように、サンプリングカウンタの計数動作が行われると、制御用マイコン10より再生動作を停止するように指示が成されたか否かが、動作制御回路36で確認される（STEP 24）。そして、再生動作の停止の指示を確認したときは（Yes）、再生動作を終了し、又、再生動作の停止の指示が確認されなかったときは（No）、STEP 6以降の動作を再度行う。

【0061】この図4及び図5のようなフローチャートに従って動作することにより、デジタルサーボ処理回路8は、10回に1回のサンプリング周期において、図6（a）のように、フォーカスサーボ処理Fo、トラッキングサーボ処理Tr、スレッドサーボ処理S1、スピンドルサーボ処理Sp、及び外部インターフェース処理Ifを順に行った後、次のサンプリング周期となり割込信号が与えられるまで、低消費電力動作状態Lp1とすることができる。

【0062】このように、図6（a）のようなサーボ制御が行われると、続く、9回のサンプリング周期それぞれにおいて、図6（b）のように、フォーカスサーボ処理Fo及びトラッキングサーボ処理Trを順に行った後、一旦、低消費電力動作状態Lp2とし、その後、外部インターフェース処理Ifを行った後、次のサンプリング周期となり割込信号が与えられるまで、低消費電力動作状態Lp1とすることができる。よって、図6

(a) のようなサーボ制御が1回行われた後、図6 (b) のようなサーボ制御を9回繰り返すようにして、各サンプリング周期毎に動作を行う。

【0063】 3. 再生動作の第2例

ディスク装置が再生動作を行うときのデジタルサーボ処理回路8の別の動作例について、図5、図7及び図8を参照して説明する。図5及び図7は、本動作例を示すためのフローチャートである。又、図8は、各工程での処理がなされる順番を示したタイミングチャートである。尚、図7のフローチャートにおいて、図4のフローチャートと同一の目的のステップについては、同一の符号を付してその詳細な説明は省略する。

【0064】本例では、第1例と同様、STEP1～STEP5において、制御用マイコン10より再生動作の指示があると、動作制御回路36で再生動作に対する準備を行った後、サンプリングカウンタを初期化するとともに割り込み開始アドレスの設定が行われる。又、STEP6～STEP8において、サンプリング周期分の時間が経過したか否かが確認され、サンプリング周期分の時間が経過すると、割込信号を発生した後、動作制御回路36からのクロックの供給を開始する。

【0065】その後、図8(a)又は図8(b)のように、STEP9でフォーカスサーボ処理Foが成された後、STEP10でトラッキングサーボ処理Trが成されると、STEP11でサンプリングカウンタのカウント値が0であるか確認される。このとき、サンプリングカウンタのカウント値が0である場合(Yes)、図8(a)のように、STEP19でスレッドサーボ処理Slが成された後、STEP20でスピンドルサーボ処理Spが成される。その後、図8(a)のように、STEP21で外部インターフェース処理Ifが成された後、低消費電力動作状態Lp1とするために、STEP22で動作制御回路36からのクロックの供給を停止する。

【0066】又、STEP11で、サンプリングカウンタのカウント値が0でない場合(No)、STEP12で、次に読み出す外部インターフェース処理開始アドレスif1を読み出しアドレスとして設定し、図8(b)のように、STEP21で外部インターフェース処理Ifが成された後、低消費電力動作状態Lp3とするために、STEP22で動作制御回路36からのクロックの供給を停止する。

【0067】STEP22で動作制御回路36からのクロックの供給を停止すると、STEP23でサンプリングカウンタが計数を行った後、STEP24で制御用マイコン10より再生動作を停止するように指示が成されたか否かが、動作制御回路36で確認される。そして、再生動作の停止の指示を確認したときは(Yes)、再生動作を終了し、又、再生動作の停止の指示が確認されなかったときは(No)、STEP6以降の動作を再度行う。

【0068】この図7及び図5のようなフローチャートに従って動作することにより、デジタルサーボ処理回路8は、10回に1回のサンプリング周期において、第1例と同様、図8(a)のように、フォーカスサーボ処理Fo、トラッキングサーボ処理Tr、スレッドサーボ処理Sl、スピンドルサーボ処理Sp、及び外部インターフェース処理Ifを順に行った後、次のサンプリング周期となり割込信号が与えられるまで、低消費電力動作状態Lp1とすることができる。

【0069】このように、図8(a)のようなサーボ制御が行われると、続く、9回のサンプリング周期それぞれにおいて、図8(b)のように、フォーカスサーボ処理Fo、トラッキングサーボ処理Tr、及び外部インターフェース処理Ifを順に行った後、次のサンプリング周期となり割込信号が与えられるまで、低消費電力動作状態Lp3とすることができる。よって、図8(a)のようなサーボ制御が1回行われた後、図8(b)のようなサーボ制御を9回繰り返すようにして、各サンプリング周期毎に動作を行う。

【0070】尚、第1例及び第2例において、図4、図5及び図7のフローチャートにおいて、STEP10でトラッキングサーボ処理終了アドレスtr2がアドレスデコーダ32で生成出力されたことを動作制御回路36に通知することで、STEP11の動作に移行するようにしても構わない。又、STEP10でトラッキングサーボ処理終了アドレスtr2に特別な命令コードを格納し、この特別な命令コードをインストラクションデコーダ33で検出されたことを動作制御回路36に通知することで、STEP11の動作に移行するようにしても構わない。

【0071】又、第1例及び第2例において、動作制御回路36から各ブロック31～35へのクロックの供給を停止することによって低消費電力動作状態としたが、インストラクションデコーダ33の動作を停止することによって低消費電力動作状態としても構わない。即ち、インストラクションデコーダ33によって、処理ブロック34に対して指示動作が行われないので、処理ブロック34がロード/ストア処理、四則演算/論理演算の演算処理、又は条件分岐処理等の各処理を実行することができない。よって、クロック供給停止と同様の電力低下は得られないとしても、それに近い効果を得ることができる。

【0072】このように再生動作を行うとき、図9(b)に示す従来例のように、サーボ制御を行った後、繰り返し外部インターフェース処理が行われた場合の動作時間を1とし、図6(a)又は図8(a)のように動作した場合の動作時間を0.7、又、図6(b)又は図8(b)のように動作した場合の動作時間を0.5としたとき、第1例及び第2例のように動作させると、その動作時間が、 $0.7 \times 0.1 + 0.5 \times 0.9 = 0.5$

2となる。よって、従来例と比べて、略48%の消費電力削減を図ることができる。

【0073】又、本実施形態では、再生動作に基づいて説明したが、例えば、スキップ動作や記録動作などの他の動作についても、サンプリング周期内で必要なサーボ制御及び外部インターフェース処理が行われる期間以外の期間について、上述の低消費電力動作状態とすることで、消費電力の低減を図ることができる。

【0074】

【発明の効果】本発明によると、所定期間から前記必要な工程の演算処理にかかる時間を引いた時間分の間に演算部の動作を停止させる工程が含まれるため、従来のように、所定期間となるサンプリング周期の間、演算部が動作し続けることがない。このように演算部の動作を停止させることによって、消費電力の低減を図ることができる。

【図面の簡単な説明】

【図1】本発明の演算処理装置を備えるディスク装置の内部構成とディスクの関係を示すブロック図。

【図2】図1のディスク装置内のデジタルサーボ処理回路の内部構成を示すブロック図。

【図3】ディスク再生動作時における各工程の順番を示すタイミングチャート。

【図4】再生動作を行うときのデジタルサーボ処理回路の一動作例を示すフローチャートの一部。

【図5】再生動作を行うときのデジタルサーボ処理回路の一動作例を示すフローチャートの一部。

【図6】図4及び図5のフローチャートに従って動作するときの、各工程での処理がなされる順番を示したタイ

ミングチャート。

【図7】再生動作を行うときのデジタルサーボ処理回路の別の動作例を示すフローチャート。

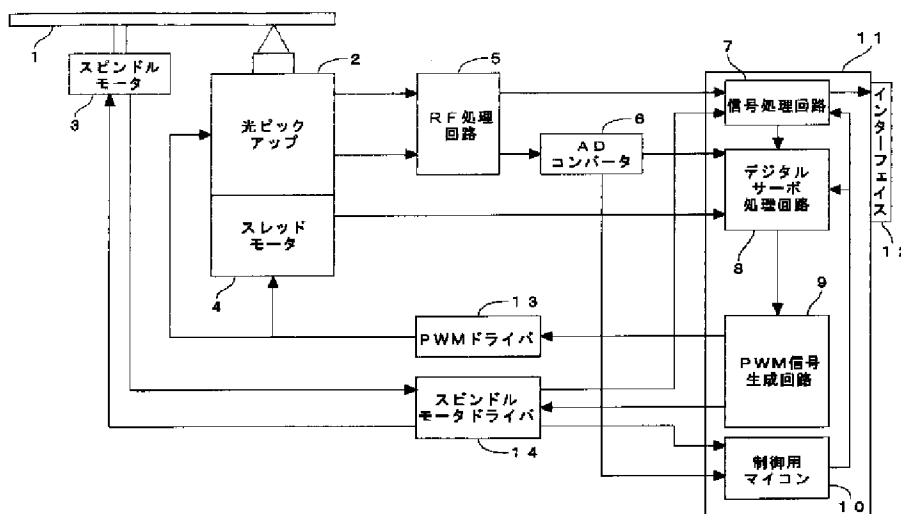
【図8】図7及び図5のフローチャートに従って動作するときの、各工程での処理がなされる順番を示したタイミングチャート。

【図9】ディスク装置の各処理動作時における、各工程での処理がなされる順番を示したタイミングチャート。

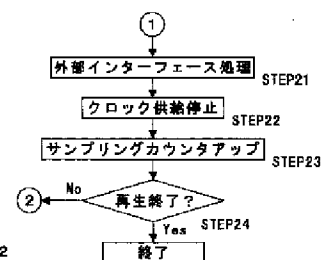
【符号の説明】

- 1 ディスク
- 2 光ピックアップ
- 3 スピンドルモータ
- 4 スレッドモータ
- 5 RF処理回路
- 6 ADコンバータ
- 7 信号処理回路
- 8 デジタルサーボ処理回路
- 9 PWM信号生成回路
- 10 制御用マイコン
- 11 制御回路
- 12 インターフェース
- 13 PWMドライバ
- 14 スピンドルモータドライバ
- 31 I RAM
- 32 アドレスデコーダ
- 33 インストラクションデコーダ
- 34 処理ブロック
- 35 WRAM

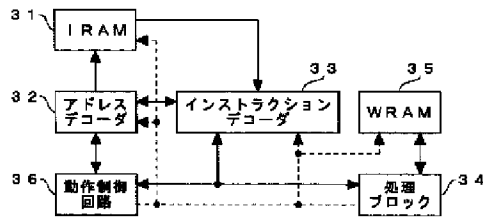
【図1】



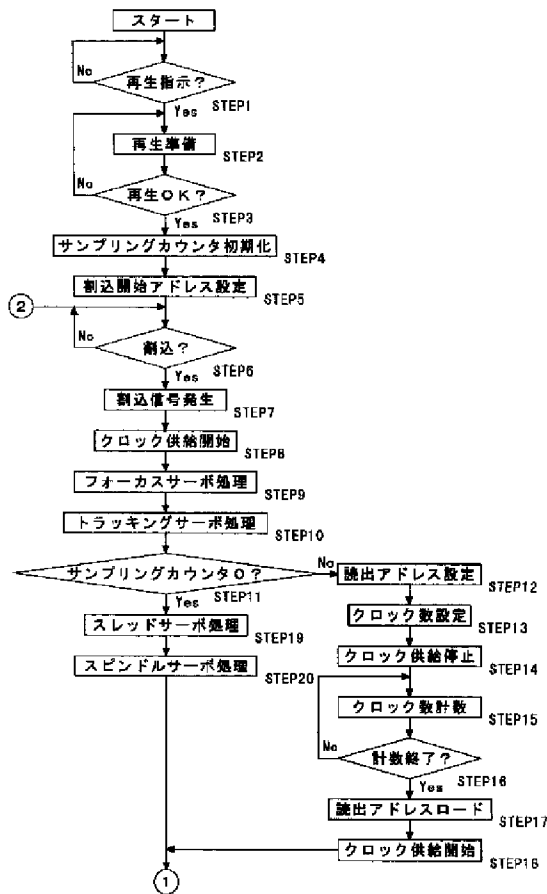
【図5】



【図2】



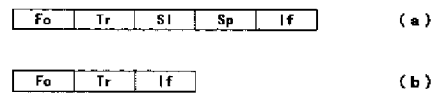
【図4】



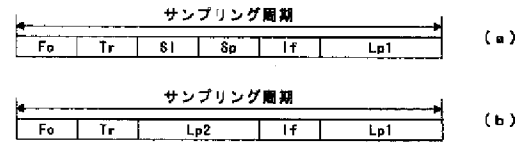
【図8】



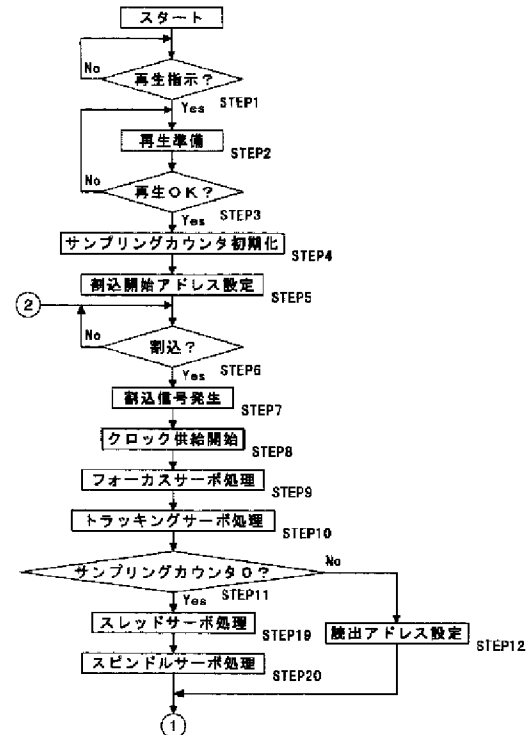
【図3】



【図6】



【図7】



【図9】

